

**Family list**

1 application(s) for: **JP10341024 (A)**

**1 THIN FILM SEMICONDUCTOR DEVICE**

**Inventor:** YAMAZAKI SHUNPEI ; CHIYOU  
KOUYUU (+1)

**Applicant:** SEMICONDUCTOR ENERGY LAB

**EC:**

**IPC:** *G02F1/136; G02F1/1368; H01L21/268; (+9)*

**Publication info:** **JP10341024 (A)** — 1998-12-22

**JP3386713 (B2)** — 2003-03-17

Data supplied from the **esp@cenet** database — Worldwide

## THIN FILM SEMICONDUCTOR DEVICE

**Publication number:** JP10341024 (A)

**Publication date:** 1998-12-22

**Inventor(s):** YAMAZAKI SHUNPEI; CHIYOU KOUYUU; TAKEMURA YASUHIKO

**Applicant(s):** SEMICONDUCTOR ENERGY LAB

**Classification:**

- international: G02F1/136; G02F1/1368; H01L21/268; H01L21/336; H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC-7): H01L29/786; G02F1/136; H01L21/268; H01L21/336

- European:

**Application number:** JP19980073051 19980309

**Priority number(s):** JP19980073051 19980309

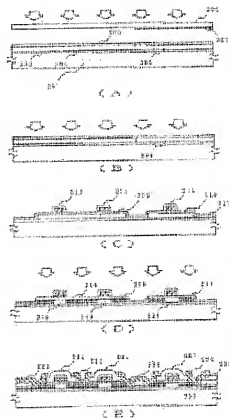
Also published as:

JP386713 (B2)

### Abstract of JP 10341024 (A)

**PROBLEM TO BE SOLVED:** To fabricate TFTs having different characteristics on the same substrate through same process by combining a low temperature anneal process with pulse laser irradiation or varying the conditions of pulse laser irradiation. **SOLUTION:** Crystallinity is improved in a region 204 by irradiating an amorphous silicon film on a substrate 201 with KrF excimer laser.

Crystallinity is then improved for the entire silicon film including a region 203 by irradiating the entire surface of the substrate 201 with KrF excimer laser. Subsequently, the silicon film is patterned insularly to form the insular region 209 of a peripheral circuit and the insular region 210 of an active matrix region. Thereafter, impurities are implanted into the insular silicon film by ion doping while being self-aligned. Finally, it is irradiated with KrF excimer laser in order to introduce an impurity region thus improving the degraded crystallinity. According to the method, N type regions 215, 217 and a P type region 216 are formed.



Data supplied from the [esp@cenet](http://www.esp@cenet.com) database — Worldwide

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Patent Application Laid-Open No.: H10-341024

(43) Laid-Open Date: December 22, H10 (1998)

5	(51) Int. Cl. <sup>6</sup>	Identification Symbol	FI	
	H01L	29/786	H01L	29/78 627G
		21/336	G02F	1/136 500
	G02F	1/136 500	H01L	21/268 F
	H01L	21/268		29/78 612B

10

Request for Examination: Not requested

Number of Claims: 1 FD (9 Pages in Total)

(21) Application No.: Japanese Patent Application No. H10-73051

(62) Division of Application: Division of Japanese Patent Application No. H4-275412

15 (22) Application Date: September 18, H4 (1992)

(71) Applicant: 000153878

Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa

(72) Inventor: Shunpei YAMAZAKI

20 398, Hase, Atsugi-shi, Kanagawa

c/o Semiconductor Energy Laboratory Co., Ltd.

(72) Inventor: Hongyong ZHANG

398, Hase, Atsugi-shi, Kanagawa

c/o Semiconductor Energy Laboratory Co., Ltd.

25 (72) Inventor: Yasuhiko TAKEMURA

398, Hase, Atsugi-shi, Kanagawa

c/o Semiconductor Energy Laboratory Co., Ltd.

(74) Representative: Patent Attorney, Toshiyuki WATANABE

(54) [Title of the Invention]

30 THIN FILM SEMICONDUCTOR DEVICE

(57)[Abstract]

[Purpose] Provision of a semiconductor device in which thin film transistors with different characteristics are formed over one substrate.

[Structure] In a process of forming thin film transistors (TFTs) over an insulating substrate, after an amorphous semiconductor film is formed, selective irradiation with laser light with a different first condition is performed, then, the entire surface or a part of the substrate is irradiated with laser light with a second condition, whereby crystallinity of the thin film transistors are varied. Thus, a thin film semiconductor device is obtained in which thin film transistors with different characteristics are formed over one substrate.

[Scope of Claims]

[Claim 1]

A thin film semiconductor device including an active matrix circuit and a peripheral driver circuit which are formed over an insulating substrate and include a plurality of thin film transistors which includes metal material whose main component is aluminium as a gate electrode,

wherein an active region of the thin film transistor in the active matrix circuit is formed of a semiconductor crystallized by irradiation with laser light with low energy density, and

wherein an active region of the thin film transistor in the peripheral driver circuit is formed of a semiconductor crystallized by irradiation with laser light with higher energy density than the laser light which is used for crystallizing the semiconductor in the active matrix circuit.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Pertains] The present invention relates to semiconductor devices having an integrated circuit in which many insulating gate type semiconductors are formed over an insulating substrate with laser light with high yield, specifically, relates to semiconductor devices having an integrated circuit in which many insulating type semiconductors are formed with high yield by crystallizing a

semiconductor material of an active matrix circuit and a peripheral driver circuit with laser light irradiation. Further, the semiconductor devices by the present invention are used as a thin film transistor in an active matrix in a liquid crystal display or the like, a driver circuit such as an image sensor or the like, an SOI integrated circuit, or a conventional semiconductor integrated circuit (such as a microprocessor, a microcontroller, a microcomputer, or a semiconductor memory).

[0002]

[Conventional Art] In recent years, formation of insulating gate type semiconductor devices (MOSFET) over insulating substrates has been actively studied.

Such formation of semiconductor integrated circuits over insulating substrates is advantageous in high speed driving of the circuits. This is because, capacitance (stray capacitance) between a wiring and a substrate which mainly limits the speed of a conventional semiconductor integrated circuit does not exist over an insulating substrate. Such a MOSFET which is formed over an insulating substrate and has a thin film active layer is referred to as a thin film transistor (TFT). In a conventional semiconductor integrated circuit, a TFT is used as e.g., a load transistor of an SRAM.

[0003] In addition, products in which a semiconductor integrated circuit needs to be formed over a transparent substrate have recently appeared. For example, a driver circuit of an optical device such as a liquid crystal display or an image sensor can be given. TFTs are also used there. Since those circuits are required to be formed in a large area, reduction in temperature of a TFT manufacturing process is desired. Further, for example, in a device including many terminals over an insulating substrate, in a case where the terminals need to be connected to a semiconductor integrated circuit, monolithic formation of an end portion of or the entire semiconductor integrated circuit itself over the same insulating substrate is considered in order to reduce a packaging density.

[0004] As for TFTs, conventionally, an amorphous, semi-amorphous, or microcrystal semiconductor film has the crystallinity improved by annealing at temperatures of 450 °C ~ 1200 °C, whereby it is improved to be an excellent (i.e., with sufficiently high mobility) semiconductor film. Although there is an amorphous TFT in which an amorphous material is used for a semiconductor film, its usage is severely limited in terms of the operation speed: a small mobility of 5 cm<sup>2</sup>/Vs or low, generally about 1

$\text{cm}^2/\text{Vs}$ , and in terms of unavailability of a P-channel type TFT. To obtain a TFT with a mobility of  $5 \text{ cm}^2/\text{Vs}$  or higher, annealing at the above temperature has been necessary. Further, with such annealing, a P-channel type TFT (PTFT) can be formed.

[0005]

- 5 [Problem to be Solved by the Invention] However, in such a thermal process, a substrate material and the like were significantly limited. That is, in a so-called high temperature process (a process whose maximum process temperature is  $900 \sim 1200 \text{ }^\circ\text{C}$ ), although a high quality thermal oxide film was able to be used as a gate oxide film, an expensive material such as quartz, sapphire, or spinel with which increase in size is  
10 difficult could only be used for a substrate.

- [0006] On the other hand, in a low temperature annealing process (a process whose maximum process temperature is  $450 \sim 650 \text{ }^\circ\text{C}$  and is characterized in that a semiconductor with a low crystallinity like an amorphous state or an equivalent state is annealed at temperatures of this degree), a material for a substrate can be selected from  
15 a wider range than in a high temperature process, but characteristics of the obtained TFT (such as a ratio between ON current and OFF current or mobility) are not always satisfactory. For example, in the case where TFTs are used for an active matrix liquid crystal display device, the TFT which is obtained by such a low temperature annealing process had sufficient characteristics as a TFT in an active matrix but did not have  
20 satisfactory mobility to use for a peripheral circuit. An advantage of applying high speed driving (a mobility of  $5 \text{ cm}^2/\text{Vs}$  or higher) to, for example, a liquid crystal display device or the like is that such a peripheral circuit can also be manufactured by the same process. However, a technique for manufacturing TFTs separately depending on the required characteristics has not been considered particularly.

- 25 [0007] The present invention is made in view of the above circumstance. The present inventors developed an optimal method for manufacturing TFTs having different characteristics over one substrate by the same process, in which, for example, high-speed and high-mobility TFTs are manufactured while low-OFF current TFTs are also manufactured over the same substrate. The present invention provides thus  
30 manufactured semiconductor device having excellent electrical characteristics which have not been able to be obtained conventionally.

[0008]

[Means for Solving the Problem] The present invention is characterized in that characteristics of the obtained TFTs are controlled by improvement of crystallinity of a semiconductor film by pulsed laser light irradiation, as well as a conventional thermal equilibrium process. For example, by combination of a low temperature annealing process and pulsed laser irradiation or change in condition of pulsed laser irradiation, the above object is achieved.

[0009] For example, although a TFT using crystalline silicon obtained by pulsed laser irradiation is of extremely high-speed and high-mobility, pulsed laser irradiation cannot be applied to a batch process and it takes about 1 minute to process one 400 mm × 300 mm substrate with a current laser. On the other hand, a low temperature annealing process can be applied to a batch process and if the oxygen concentration in a silicon film is, for example,  $10^{18}$  cm<sup>2</sup>/Vs [sic.] or lower, a TFT with sufficient characteristics for the use of an active matrix for general display is obtained by annealing at 550 °C for 1 hour. In addition, it is possible to shorten the time. For example, if 60 substrates are processed at the same time, the takt time can be made the same as the process of laser irradiation. With running costs into consideration, a low temperature annealing treatment process becomes much more advantageous.

[0010] However, the low temperature annealing process does not have excellent characteristics as a peripheral circuit, as described above, and therefore, cannot manage to form the peripheral circuit only by itself. In this case, combination of a laser irradiation process and a low temperature annealing process can solve it. In other words, only a peripheral circuit portion is mainly laser irradiated, and the other region is crystallized by low temperature annealing.

[0011] In that case, note that the first crystallizing step roughly determines the characteristics of an amorphous semiconductor. For example, if silicon which is first subjected to low temperature annealing to be crystallized is further subjected to laser irradiation, the characteristics are not remarkably improved. That is, to obtain a high mobility TFT, laser irradiation has to be performed first.

[0012] In another structure of the present invention, characteristics of an obtained TFT are controlled by changing a pulsed laser irradiation condition. In general, the larger

the energy density of the laser is, the higher the mobility of the TFT becomes, although depending on a semiconductor material and a wavelength of the laser. If the energy density is too high, the TFT characteristics will be damaged instead. According to the knowledge of the present inventors, in the case where a KrF excimer laser (a  
5 wavelength of 248 nm and a pulse width of 10 nsec) is used as a laser, appropriate energy density is 200 ~ 350 mJ/cm<sup>2</sup> with the number of shots being in the range of 1~50.

[0013] Also in that case, note that if laser irradiation overlap, characteristics of TFTs in that portion are affected by condition of a laser which is used for the first irradiation.

10 In other words, if laser irradiation is first performed with a condition for low mobility TFTs, even if laser irradiation is performed with a condition for high mobility ones after that, it is almost impossible to manufacture high mobility TFTs.

[0014] In the present invention, a laser beam has an appropriate shape. Therefore, a laser beam allows selective laser irradiation without using a mask. However, in micro  
15 processing, a small amount of leakage of laser light may have great influence on the surroundings. Therefore, the use of an appropriate mask is also needed. It is needless to say that patterning by general photolithography steps is indispensable for manufacture of TFTs with different characteristics in a complex circuit. Further, in the case in which a requirement on accuracy is more lenient, a mask like a metal mask  
20 which is used without being closely attached to the substrate may be used. For example, as in the case of an active matrix and a peripheral circuit in a liquid crystal display device in which blocks are apparently placed with a distance, a special mask is not necessary used, but the matrix and the peripheral circuit are desirably at a distance from each other of 100  $\mu$ m or longer, preferably, 1 mm or longer.

25 [0015] The basis of the process of the present invention includes a step of forming a semiconductor film over an insulating substrate, a step of forming an insulating film thereover which is transparent with respect to laser light, a step of improving the crystallinity of the semiconductor film by selectively irradiating this stacked-layer film with pulsed laser light, a following step of also crystallizing the remained part of the  
30 semiconductor film by low temperature annealing or laser light irradiation of the substrate partly or entirely with different conditions from the previous laser light



irradiation, a step of removing the insulating film and forming a gate insulating film on a surface of the semiconductor film, and further, a step of forming a gate electrode. After that, an impurity element is introduced into the semiconductor film by a method such as ion implantation or ion doping in a self-aligned manner using this gate electrode as a main mask. Further, pulsed laser light irradiation is performed to improve the crystallinity of the semiconductor film which is broken in the introducing step of the impurity element and a metal wiring is formed over this impurity region. Thus, TFTs are completed. Besides, the impurity introducing step may be replaced with laser doping (e.g., Japanese Patent Application No. H4-100479) which is an application by the present inventors. In the present invention, a low resistance metal material such as aluminium is preferable as a material of gate electrodes and a wirings. Furthermore, as a pulsed laser which is used in the present invention, a UV laser such as an excimer laser of KrF, ArF, XeCl, or XeF is desirable.

[0016] Further, in the present invention, the depth of a region with good crystallinity which is formed by laser irradiation may be freely set or changed according to the need as described in Japanese Patent Application No. H3-50793, which is an invention by the present inventors. This may result in an active layer having a double-layer structure which will reduce leakage current between the source and drain.

[0017]

[Embodiment]

[Embodiment 1] FIG. 1 illustrates this embodiment. In this embodiment, a laser-crystallized silicon TFT is used in a peripheral circuit and a crystalline TFT by low temperature annealing is used in an active matrix region in a TFT-type liquid crystal display device. In this case, active layers of both TFTs can be manufactured by the same process.

[0018] First, a base oxide film 102 was deposited to a thickness of 20 ~ 200 nm by a sputtering method over a Corning 7059 substrate 101. Further, an amorphous silicon film was deposited thereover to a thickness of 50 ~ 150 nm by a plasma CVD method or a low-pressure CVD method using monosilane or disilane as a source. At this time, if the oxygen concentration in the amorphous silicon film is  $10^{18} \text{ cm}^{-2}$  or lower, preferably,  $10^{17} \text{ cm}^{-2}$  or lower, reduction in temperature of a low temperature annealing step and

reduction in time of the annealing are possible. For this purpose, a low-pressure CVD method is suitable. In this embodiment, the oxygen concentration was  $10^{17} \text{ cm}^{-2}$  or lower. Note that [sic] In the case where the amorphous silicon film was deposited by plasma CVD, a subsequent dehydrogenation step is necessary. A protective silicon oxide film (a thickness of 10 ~ 50 nm) 105 was formed again by a sputtering method over the amorphous silicon film. After that, an active matrix region 103 was covered with a photoresist 106 or the like so that only a peripheral circuit region was exposed.

[0019] Then, as illustrated in FIG. 1(A), irradiation with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec) was performed, whereby the crystallinity of a region 104 of the silicon film was improved. The structure of a laser apparatus is described in, for example, Japanese Patent Application No. H4-193005 (filed on June 26, H4). The energy density of the laser was  $200 \sim 400 \text{ mJ/cm}^2$ , preferably,  $250 \sim 300 \text{ mJ/cm}^2$ . On the other hand, the laser light did not reach the portion 103 covered with the photoresist; therefore, it remained amorphous silicon.

After that, the photoresist 106 was removed and the substrate was left under a nitrogen atmosphere at  $550^\circ\text{C}$  for 1 hour, whereby the entire amorphous silicon film was crystallized. As a result, the region 103 also became crystalline silicon.

[0020] Structures of the silicon films obtained through the above crystallizing steps were totally different from each other. That is, the region 104 subjected to laser irradiation had relatively large crystals although it was subjected to the subsequent low temperature annealing. As a result, high mobility was realized. On the other hand, the region 103, which was crystallized by the low temperature annealing, was formed from relatively small crystals. If the above steps were reversed and low temperature annealing was performed and then laser irradiation was performed, the region 104 would be formed of small crystals as the region 103.

[0021] After that, these Si films were patterned into island-shapes. For example, as illustrated in FIG. 1(B), an island-shaped region 107 for the peripheral circuit and an island-shaped region 108 for the active matrix region were formed. Further, a silicon oxide film covering these island-shaped regions was formed by a sputtering method to be a gate insulating film 109. After that, an aluminium film having a thickness of  $200 \text{ nm} \sim 5 \text{ }\mu\text{m}$  was formed by an electron beam evaporation method and then patterned,

whereby gate electrodes were formed over the island-shaped regions.

[0022] Further, the substrate was soaked in an electrolyte and current was applied to the gate electrode to form a layer of anodic oxide around it. Note that at that point, as described in Japanese Patent Applications No. H4-30220, 4-38637 and 4-54322, which are inventions of the present inventors, it is desirable to employ a structure in which the anodic oxide film of the TFT in the peripheral circuit region is thinned to improve the mobility while the anodic oxide film of the TFT in the active matrix portion is thickened to prevent gate leakage. However, in this embodiment, both the anodic oxide films had a thickness of 200 ~ 250 nm. Through the above steps, gate electrode portions 110 ~ 112 of the TFTs were manufactured.

[0023] After that, an impurity was injected into the island-shaped silicon films of the TFTs by an ion doping method in a self-aligned manner using the gate electrode portions (i.e., the gate electrodes and the surrounding anodic oxide films) as a mask. At that point, phosphorus was first injected to the entire surface using phosphine ( $\text{PH}_3$ ) as a doping gas. Then, the left part of the island-shaped region 107 in the drawing and the active matrix region were covered with a photoresist, and boron was injected to only the right part of the island-shaped region 107 using diborane ( $\text{B}_2\text{H}_6$ ) as a doping gas. The dose of phosphorus was  $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$  and that of boron was  $4 \sim 10 \times 10^{15} \text{ cm}^{-2}$ . The dose of boron was set so as to be higher than that of phosphorus.

[0024] After that, as illustrated in FIG. 1(C), irradiation with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec) was performed, whereby the crystallinity of a portion whose crystallinity had been deteriorated by introduction of the above impurity region was improved. The energy density of the laser was 200 ~ 400  $\text{mJ/cm}^2$ , preferably, 250 ~ 300  $\text{mJ/cm}^2$ .

[0025] As a result, N-type regions 113 and 115 and a P-type region 114 were formed. Sheet resistance of these regions was 200 ~ 800  $\Omega/\text{square}$ . Further, at the same time, active regions 116 ~ 118 were formed. Among them, the active regions 116 and 117 were crystallized by laser irradiation while the active region 118 was crystallized by low temperature annealing. After that, a silicon oxide film having a thickness of 300 ~ 1000 nm was formed on the entire surface as an interlayer insulator 119 by a sputtering method. This may be a silicon oxide film by a plasma CVD method. Particularly, if

a plasma CVD method using TEOS as a source is employed, a silicon oxide film with a favorable step coverage can be obtained.

[0026] After that, an ITO film was formed by a sputtering method and patterned as a pixel electrode 120. Then, contact holes were formed in the source/drain (impurity regions) of the TFTs and chromium wirings 121 ~ 124 were formed. FIG. 1(D) illustrates that an inverter circuit is formed with the NTFT and the PITFT on the left. The wirings 121 ~ 124 may be multilayer wirings of aluminium and underlying chromium or titanium nitride in order to reduce sheet resistance. Lastly, dangling bonds in the silicon film were reduced by annealing in hydrogen at 350 °C for 2 hours.

Through the above steps, integral formation of a peripheral circuit and an active matrix circuit was achieved.

[0027][Embodiment 2] FIG. 2 illustrates this embodiment. In this embodiment, laser-crystallized silicon TFTs are used in both a peripheral circuit and an active matrix in a TFT-type liquid crystal display device. It is needless to say that active layers of both TFTs can be manufactured by the same process. However, laser crystallization conditions are different from each other.

[0028] First, a base oxide film 202 was deposited to a thickness of 20 ~ 200 nm by a sputtering method over a Corning 7059 substrate 201. Further, an amorphous silicon film was deposited thereover to a thickness of 50 ~ 150 nm by a plasma CVD method or a low-pressure CVD method using monosilane or disilane as a source. Note that, In the case where the amorphous silicon film was deposited by plasma CVD, a subsequent dehydrogenation step is necessary. A protective silicon oxide film (a thickness of 10 ~ 50 nm) 205 was formed again by a sputtering method over the amorphous silicon film. After that, the substrate was covered with a metal mask 206 made of quartz. The metal mask was covered with a metal film 207 over an active matrix region 203 so as to transmit laser light only in the peripheral circuit region.

[0029] Then, as illustrated in FIG. 2(A), irradiation with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec) was performed, whereby the crystallinity of a region 204 of the silicon film was improved. The energy density of the laser was 300 mJ/cm<sup>2</sup> and the number of shots was 10. On the other hand, the laser light did not reach the portion 203 covered with the metal mask 206; therefore, it

remained amorphous silicon. After that, the metal mask 206 was taken away and as illustrated in FIG. 2(B), the entire surface of the substrate was irradiated with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec), whereby the crystallinity of the entire silicon film including the region 203 was improved. The energy density of the laser was  $250 \text{ mJ/cm}^2$  and the number of shots was 10. As a result, the region 203 also became crystalline silicon 208.

[0030] Structures of the silicon films obtained through the above crystallizing steps were totally different from each other. That is, the region 204 first subjected to laser irradiation had relatively large crystals although it was subjected to the subsequent laser irradiation with different condition. As a result, high mobility was realized. On the other hand, the region 203 was formed from relatively small crystals. When the above steps were reversed and laser irradiation with  $250 \text{ mJ/cm}^2$  was performed first and then laser irradiation with  $300 \text{ mJ/cm}^2$  was performed, the region 204 was formed of small crystals as the region 203 and high mobility was not achieved.

[0031] After that, these Si films were patterned into island-shapes. For example, as illustrated in FIG. 2(C), an island-shaped region 209 for the peripheral circuit and an island-shaped region 210 for the active matrix region were formed. Further, a silicon oxide film covering these island-shaped regions was formed by a sputtering method to be a gate insulating film 211. After that, an aluminium film having a thickness of  $200 \text{ nm} \sim 5 \mu\text{m}$  was formed by an electron beam evaporation method and then patterned, whereby gate electrodes were formed over the island-shaped regions and anodized as in Embodiment 1. Thus, gate electrode portions 212 ~ 214 were formed.

[0032] After that, an impurity was injected into the island-shaped silicon films of the TFTs by an ion doping method in a self-aligned manner using the gate electrode portions (i.e., the gate electrodes and the surrounding anodic oxide films) as a mask. At that point, phosphorus was first injected to the entire surface using phosphine ( $\text{PH}_3$ ) as a doping gas. Then, the left part of the island-shaped region 209 in the drawing and the active matrix region were covered with a photoresist, and boron was injected to only the right part of the island-shaped region 209 using diborane ( $\text{B}_2\text{H}_6$ ) as a doping gas. The dose of phosphorus was  $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$  and that of boron was  $4 \sim 10 \times 10^{15} \text{ cm}^{-2}$ . The dose of boron was set so as to be higher than that of phosphorus.

[0033] After that, as illustrated in FIG. 2(D), irradiation with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec) was performed, whereby the crystallinity of a portion whose crystallinity had been deteriorated by introduction of the above impurity region was improved. The energy density of the laser was 200 ~ 400 mJ/cm<sup>2</sup>, preferably, 250 ~ 300 mJ/cm<sup>2</sup>.

[0034] As a result, N-type regions 215 and 217 and a P-type region 216 were formed. Sheet resistance of these regions was 200 ~ 800 Ω/square. Further, at the same time, active regions 218 ~ 220 were formed. After that, a silicon oxide film having a thickness of 300 ~ 1000 nm was formed on the entire surface as an interlayer insulator 221 by a sputtering method. This may be a silicon oxide film by a plasma CVD method. Particularly, if a plasma CVD method using TEOS as a source is employed, a silicon oxide film with a favorable step coverage can be obtained.

[0035] After that, an ITO film was formed by a sputtering method and patterned as a pixel electrode 222. Then, contact holes were formed in the source/drain (impurity regions) of the TFTs and chromium wirings 223 ~ 226 were formed. FIG. 2(E) illustrates that an inverter circuit is formed with the NTFT and the PTFT on the left. The wirings 223 ~ 226 may be multilayer wirings of aluminium and underlying chromium or titanium nitride in order to reduce sheet resistance. Lastly, dangling bonds in the silicon film were reduced by annealing in hydrogen at 350 °C for 2 hours. Through the above steps, integral formation of a peripheral circuit and an active matrix circuit was achieved.

[0036][Embodiment 3] FIG. 3 illustrates this embodiment. In this embodiment, laser-crystallized silicon TFTs are used in both a peripheral circuit and an active matrix in a TFT-type liquid crystal display device. It is needless to say that active layers of both TFTs can be manufactured by the same process. However, laser crystallization conditions are different from each other.

[0037] First, a base oxide film 302 was deposited to a thickness of 20 ~ 200 nm by a sputtering method over a Corning 7059 substrate 301. Further, an amorphous silicon film was deposited thereover to a thickness of 50 ~ 150 nm by a plasma CVD method or a low-pressure CVD method using monosilane or disilane as a source. Note that, [sic] In the case where the amorphous silicon film was deposited by plasma CVD, a

subsequent dehydrogenation step is necessary. A protective silicon oxide film (a thickness of 10 ~ 50 nm) 305 was formed again by a sputtering method over the amorphous silicon film. Then, as illustrated in FIG. 3(A), only a peripheral circuit region 304 was irradiated with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec), whereby crystallinity of that region was improved. The energy density of the laser was 300 mJ/cm<sup>2</sup> and the number of shots was 10. On the other hand, the portion 303 which was not irradiated with the laser remained amorphous silicon. After that, as illustrated in FIG. 3(B), the entire surface of the substrate was irradiated with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec), whereby crystallinity of the entire silicon film including the region 303 was improved. The energy density of the laser was 250 mJ/cm<sup>2</sup> and the number of shots was 10. As a result, the region 303 also became crystalline silicon 306.

[0038] Structures of the silicon films obtained through the above crystallizing steps were totally different from each other. That is, the region 304 first subjected to laser irradiation had relatively large crystals although it was subjected to the subsequent laser irradiation with different condition. As a result, high mobility was realized. On the other hand, the region 303 was formed from relatively small crystals. If the above steps were reversed and laser irradiation with 250 mJ/cm<sup>2</sup> was performed first and then laser irradiation with 300 mJ/cm<sup>2</sup> was performed, the region 304 would be formed of small crystals as the region 303 and high mobility was not achieved.

[0039] After that, these Si films were patterned into island-shapes. For example, as illustrated in FIG. 3(C), an island-shaped region 307 for the peripheral circuit and an island-shaped region 308 for the active matrix region were formed. Further, a silicon oxide film covering these island-shaped regions was formed by a sputtering method to be a gate insulating film 309. After that, an aluminium film having a thickness of 200 nm ~ 5 μm was formed by an electron beam evaporation method and then patterned, whereby gate electrodes were formed over the island-shaped regions and anodized as in Embodiment 1. Thus, gate electrode portions 310 ~ 312 were formed.

[0040] After that, an impurity was injected into the island-shaped silicon films of the TFTs by an ion doping method in a self-aligned manner using the gate electrode portions (i.e., the gate electrodes and the surrounding anodic oxide films) as a mask.

At that point, phosphorus was first injected to the entire surface using phosphine ( $\text{PH}_3$ ) as a doping gas. Then, the left part of the island-shaped region 307 in the drawing and the active matrix region were covered with a photoresist, and boron was injected to only the right part of the island-shaped region 307 using diborane ( $\text{B}_2\text{H}_6$ ) as a doping gas.

- 5 The dose of phosphorus was  $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$  and that of boron was  $4 \sim 10 \times 10^{15} \text{ cm}^{-2}$ . The dose of boron was set so as to be higher than that of phosphorus.

[0041] After that, as illustrated in FIG. 3(D), irradiation with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec) was performed, whereby the crystallinity of a portion whose crystallinity had been deteriorated by introduction of the  
10 above impurity region was improved. The energy density of the laser was  $200 \sim 400 \text{ mJ/cm}^2$ , preferably,  $250 \sim 300 \text{ mJ/cm}^2$ .

[0042] As a result, N-type regions 313 and 315 and a P-type region 314 were formed. Sheet resistance of these regions was  $200 \sim 800 \text{ } \Omega/\text{square}$ . Further, at the same time, active regions 316 ~ 318 were formed. After that, a silicon oxide film having a  
15 thickness of  $300 \sim 1000 \text{ nm}$  was formed on the entire surface as an interlayer insulator 319 by a sputtering method. This may be a silicon oxide film by a plasma CVD method. Particularly, if a plasma CVD method using TEOS as a source is employed, a silicon oxide film with a favorable step coverage can be obtained.

[0043] After that, an ITO film was formed by a sputtering method and patterned as a  
20 pixel electrode 320. Then, contact holes were formed in the source/drain (impurity regions) of the TFTs and chromium wirings 321 ~ 324 were formed. FIG. 3(E) illustrates that an inverter circuit is formed with the NTFT and the PTFT on the left. The wirings 321 ~ 324 may be multilayer wirings of aluminium and underlying chromium or titanium nitride in order to reduce sheet resistance. Lastly, dangling  
25 bonds in the silicon film were reduced by annealing in hydrogen under atmospheric pressure at  $300 \text{ } ^\circ\text{C}$  for 2 hours. Through the above steps, integral formation of a peripheral circuit and an active matrix circuit was achieved.

[0044][Embodiment 4] FIG. 4 illustrates this embodiment. In this embodiment, laser-crystallized silicon TFTs are used in both a peripheral circuit and an active matrix  
30 in a TFT-type liquid crystal display device. It is needless to say that active layers of both TFTs can be manufactured by the same process. However, laser crystallization



conditions are different from each other.

[0045] First, a base oxide film 402 was deposited to a thickness of 20 ~ 200 nm by a sputtering method over a Corning 7059 substrate 401. Further, an amorphous silicon film was deposited thereover to a thickness of 50 ~ 150 nm by a plasma CVD method or  
5 a low-pressure CVD method using monosilane or disilane as a source. Note that, [sic] In the case where the amorphous silicon film was deposited by plasma CVD, a subsequent dehydrogenation step is necessary. A protective silicon oxide film (a thickness of 10 ~ 50 nm) 405 was formed again by a sputtering method over the amorphous silicon film. After that, the substrate was covered with a metal mask 406  
10 made of quartz. The metal mask was covered with a metal film 407 over an active matrix region 403 so as to transmit laser light only in the peripheral circuit region.

[0046] Then, as illustrated in FIG. 4(A), irradiation with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec) was performed, whereby crystallinity of a region 404 of the silicon film was improved. The energy density of  
15 the laser was 300 mJ/cm<sup>2</sup> and the number of shots was 10. On the other hand, the laser light did not reach the portion 403 covered with the metal mask 406; therefore, it remained amorphous silicon. After that, the metal mask 406 was taken away and another metal mask 408 was newly placed over the substrate. The metal mask 408 was partly covered with a metal film 409 only over the active matrix region 404. Then,  
20 as illustrated in FIG. 4(B), the entire surface of the substrate was irradiated with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec), whereby crystallinity of the region 403 was improved. The energy density of the laser was 250 mJ/cm<sup>2</sup> and the number of shots was 10.

[0047] Structures of the silicon films obtained through the above crystallizing steps  
25 were totally different from each other. That is, the region 404 first subjected to laser irradiation had relatively large crystals. As a result, high mobility was realized. On the other hand, the region 403 was formed from relatively small crystals. In this embodiment, the above steps may be reversed.

[0048] After that, these Si films were patterned into island-shapes. For example, as  
30 illustrated in FIG. 4(C), an island-shaped region 410 for the peripheral circuit and an island-shaped region 411 for the active matrix region were formed. Further, a silicon

oxide film covering these island-shaped regions was formed by a sputtering method to be a gate insulating film 412. After that, an aluminium film having a thickness of 200 nm ~ 5  $\mu$ m was formed by an electron beam evaporation method and then patterned, whereby gate electrodes were formed over the island-shaped regions and anodized as in Embodiment 1. Thus, gate electrode portions 413 ~ 415 were formed.

[0049] After that, an impurity was injected into the island-shaped silicon films of the TFTs by an ion doping method in a self-aligned manner using the gate electrode portions (i.e., the gate electrodes and the surrounding anodic oxide films) as a mask. At that point, phosphorus was first injected to the entire surface using phosphine (PH<sub>3</sub>) as a doping gas. Then, the left part of the island-shaped region 410 in the drawing and the active matrix region were covered with a photoresist, and boron was injected to only the right part of the island-shaped region 410 using diborane (B<sub>2</sub>H<sub>6</sub>) as a doping gas. The dose of phosphorus was  $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$  and that of boron was  $4 \sim 10 \times 10^{15} \text{ cm}^{-2}$ . The dose of boron was set so as to be higher than that of phosphorus.

[0050] After that, as illustrated in FIG. 4(D), irradiation with a KrF excimer laser (a wavelength of 248 nm and a pulse width of 20 nsec) was performed, whereby the crystallinity of a portion whose crystallinity had been deteriorated by introduction of the over impurity region was improved. The energy density of the laser was 200 ~ 400 mJ/cm<sup>2</sup>, preferably, 250 ~ 300 mJ/cm<sup>2</sup>.

[0051] As a result, N-type regions 416 and 418 and a P-type region 417 were formed. Sheet resistance of these regions was 200 ~ 800  $\Omega$ /square. Further, at the same time, active regions 419 ~ 421 were formed. After that, a silicon oxide film having a thickness of 300 ~ 1000 nm was formed on the entire surface as an interlayer insulator 422 by a sputtering method. This may be a silicon oxide film by a plasma CVD method. If a plasma CVD method using TEOS as a source is employed, a silicon oxide film with a favorable step coverage can be obtained.

[0052] After that, an ITO film was formed by a sputtering method and patterned as a pixel electrode 423. Then, contact holes were formed in the source/drain (impurity regions) of the TFTs and chromium wirings 424 ~ 427 were formed. FIG. 4(E) illustrates that an inverter circuit is formed with the NTFT and the PTFT on the left. The wirings 424 ~ 427 may be multilayer wirings of aluminium and underlying

chromium or titanium nitride in order to reduce sheet resistance. Lastly, dangling bonds in the silicon film were reduced by annealing in hydrogen at 350 °C for 2 hours. Through the above steps, integral formation of a peripheral circuit and an active matrix circuit was achieved.

- 5 [0053] Although two kinds of masks were used in this embodiment, three or more kinds of masks may be used if necessary. Further, enhanced effect can be obtained by combination with Embodiment 1 or Embodiment 2.

[0054]

- [Effect of the Invention] By the present invention, TFTs could be manufactured at a  
 10 low temperature with very high yield. In addition, as described in embodiments, various TFTs could be formed over one substrate according to the present invention. This is because necessary characteristics of the TFTs can be freely set by crystallization by laser irradiation. Therefore, in manufacture of, for example, an active matrix liquid crystal display device, characteristics of a TFT in a matrix region and a TFT in a  
 15 peripheral circuit region could be optimized. Accordingly, the semiconductor device of the present invention could have excellent electrical characteristics which have not been able to be obtained by a conventional method. Moreover, it could be manufactured by substantially the same process. For example, a peripheral circuit has to be conventionally manufactured by a method of TAB connection or the like of an IC,  
 20 which has increased the cost. However, such a problem was almost solved in the present invention. Although not described in the embodiments, the present invention can be applied to form a so-called 3D-IC in which a semiconductor circuit is further stacked over a single crystal crystalline IC or another IC.

[Brief Description of the Drawings]

- 25 [FIG. 1] A method for manufacturing TFTs of the present invention is illustrated.  
 [FIG. 2] A method for manufacturing TFTs of the present invention is illustrated.  
 [FIG. 3] A method for manufacturing TFTs of the present invention is illustrated.  
 [FIG. 4] A method for manufacturing TFTs of the present invention is illustrated.

[Reference Symbols]

- 30 101: insulating substrate,  
 102: base oxide film,  
 103: semiconductor region (matrix region),

- 104: semiconductor region (peripheral circuit region),
- 105: protective insulating film,
- 106: mask (photoresist),
- 107: island-shaped semiconductor region (for peripheral circuit),
- 5 108: island-shaped semiconductor region (for matrix),
- 109: gate insulating film,
- 110: gate electrode (for NTFT),
- 111: gate electrode (for PTFT),
- 112: gate electrode (for active matrix TFT),
- 10 113, 115: N-type impurity region,
- 114: P-type impurity region,
- 116 ~ 118: active region,
- 119: interlayer insulator,
- 120: pixel electrode (ITO), and
- 15 121 ~ 124: metal wiring.

特開平10-341024

(43) 公開日 平成10年(1998)12月22日

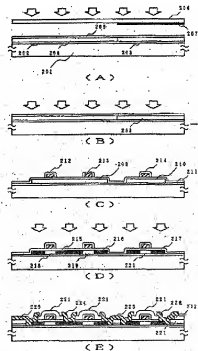
(51) Int.Cl. <sup>6</sup> H 0 1 L 29/786 21/336 G 0 2 F 1/136 H 0 1 L 21/268	識別記号 5 0 0	F I H 0 1 L 29/78 6 2 7 G G 0 2 F 1/136 5 0 0 H 0 1 L 21/268 F 29/78 6 1 2 B
審査請求 未請求 請求項の数 1 F D (全 9 頁)		
(21) 出願番号 特願平10-73051 (62) 分割の表示 特願平4-275412の分割 (22) 出願日 平成4年(1992)9月18日	<p>(71) 出願人 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地</p> <p>(72) 発明者 山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内</p> <p>(72) 発明者 張 宏勇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内</p> <p>(72) 発明者 竹村 保彦 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内</p> <p>(74) 代理人 弁理士 渡邊 順之</p>	

## (54) 【発明の名称】 薄膜状半導体装置

## (57) 【要約】

【目的】 異なった特性の薄膜トランジスタを同一基板上に形成した半導体装置の提供。

【構成】 絶縁基板上に薄膜トランジスタ (T F T) を形成する工程において、アモルファス半導体被膜を形成した後、異なる第1の条件のレーザー光を選択的に照射した後に、第2の条件のレーザー光を基板全面にもしくはその一部に照射することによって、薄膜トランジスタの結晶性を変化させることによって、1枚の基板上に異なった特性の薄膜トランジスタを形成して薄膜状半導体装置を得る。



#### 【特許請求の範囲】

【請求項1】絶縁基板上に形成され、アルミニウムを主成分とする金属材料をゲイト電極として有する複数の薄膜トランジスタを持つアクティブマトリクス回路及び周辺駆動回路を備える薄膜状半導体装置において、前記アクティブマトリクス回路中の薄膜トランジスタの活性領域はエネルギー密度の低いレーザー光の照射によって結晶化された半導体からなり、前記周辺駆動回路中の薄膜トランジスタの活性領域は、前記アクティブマトリクス回路中の半導体を結晶化させる際に使用したレーザー光より高いエネルギー密度を有するレーザー光によって結晶化された半導体からなることを特徴とする薄膜状半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、レーザー光によって絶縁基板上に絶縁ゲイト型半導体を歩留まりよく多数形成した集積回路を有する半導体装置に関する。より具体的には、レーザー光の照射によって、アクティブマトリクス回路および周辺駆動回路の半導体素子を結晶化して歩留まりよく多数の絶縁型半導体を形成した集積回路を備える半導体装置に関する。そして、本発明による半導体装置は、液晶ディスプレイ等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサやマイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリ等）における薄膜トランジスタとして使用されるものである。

##### 【0002】

【従来の技術】近年、絶縁基板上に絶縁ゲイト型半導体装置（MOSFET）を形成する研究が盛んになされている。このように絶縁基板上に半導体集積回路を形成することは回路の高速駆動の上で有利である。なぜなら、従来の半導体集積回路の速度は主として配線と基板との容量（浮遊容量）によって制限されていたのに対し、絶縁基板上ではこのような浮遊容量が存在しないからである。このように絶縁基板上に形成され、薄膜状の活性層を有するMOSFETを薄膜トランジスタ（TFT）という。従来の半導体集積回路においても、例えばSRAMの負荷トランジスタとしてTFTが使用されている。

【0003】また、最近になって、透明な基板上に半導体集積回路を形成する必要がある製品が出現した。例えば、液晶ディスプレイやイメージセンサーというような光デバイスの駆動回路である。ここにもTFTが用いられている。これらの回路は大面積に形成することが要求されるのでTFT作製プロセスの低温化が求められている。また、例えば、絶縁基板上に多数の端子を有する装置で、該端子を半導体集積回路に接続する必要がある場合にも、実装密度を低減するために、半導体集積回路の最初の方の段、あるいは半導体集積回路そのものを、同

じ絶縁基板上にモノリシックに形成することも考えられている。

【0004】従来、TFTは、アモルファスもしくはセミアモルファス、あるいは微結晶の半導体被膜を450℃～1200℃の温度でアニールすることによって、結晶性を改善し、良質な（すなわち、移動度の十分に大きな）半導体被膜に改善することがなされてきた。半導体被膜にアモルファス材料を使用するアモルファスTFTもあるが、移動度が $5\text{ cm}^2/\text{Vs}$ 以下、通常は $1\text{ cm}^2/\text{Vs}$ 程度と小さく、動作速度の点から、また、Pチャネル型のTFTが得られない点からその利用は大きく制限されている。移動度が $5\text{ cm}^2/\text{Vs}$ 以上のTFTを得るには、上記のような温度でのアニールが必要であった。また、このようなアニールによってPチャネル型TFT（PTFT）を形成することができた。

##### 【0005】

【発明が解決しようとする課題】しかしながら、このような熱的なプロセスでは、基板材料等が著しい制約を受けた。すなわち、いわゆる高温プロセス（最高プロセス温度が900～1200℃のプロセス）では、ゲイト酸化膜として質のよい熱酸化膜が使用できるのであるが、基板は石英やサファイア、スピネルのような高価で大面積化の困難な材料しか使用できなかった。

【0006】これに対し、低温アモルファスプロセス（最高プロセス温度が450～650℃のプロセスで、アモルファス状もしくはそれと同等な結晶性の低い状態の半導体をこの程度の温度でアニールすることを特徴とする）では、高温プロセスよりも基板材料の選択の巾は広がるが、得られるTFTの特性（例えば、ON電流とOFF電流の比率や移動度）に関しては必ずしも満足なものとは得られていない。例えば、TFTをアクティブマトリクス型液晶表示装置に利用する場合、このような低温アモルファスプロセスによって得られるTFTはアクティブマトリクスのTFTとしては十分な特性を示すものであったが、周辺回路に使用するには移動度が満足できるものではなかった。例えば、液晶表示装置等のデバイスに高速駆動（移動度が $5\text{ cm}^2/\text{Vs}$ 以上）を使用するメリットは、このような周辺回路までも同じプロセスによって作製することにあるのだが、このように要求される特性に応じてTFTを作り分けるという技術に関しては、これまで特に考慮されることはなかった。

【0007】本発明はこのような現状を窺みてなされたものであり、本発明者は、例えば1枚の基板上に高速・高移動度のTFTを作製する一方で、低OFF電流のTFTも作製するようにより、特性の異なったTFTを同一基板上に同一プロセスで作製するための最適な方法を発見したものであり、本発明では、これによって製造された、従来得られることのなかった優れた電気的特性を有する半導体装置を提供するものである。

##### 【0008】

【課題を解決するための手段】本発明では、従来のような熱平衡的なプロセスに加えて、パルスレーザー光の照射によって半導体被膜の結晶性の改善をおこなうことによって、得られるTFTの特性を制御することを特徴とするものである。例えば、低温アニールプロセスとパルスレーザー照射を組み合わせたことやパルスレーザー照射の条件を変化させることによって上記の目的を達成する。

【0009】例えば、パルスレーザーの照射によって得られる結晶性シリコンを用いたTFTは、極めて高速・高移動度であるが、パルスレーザーの照射はパッチ処理ができず、現状のレーザーにおいては、 $400\text{mm} \times 300\text{mm}$ 基板を1枚処理するのにおよそ1分を要する。一方、低温アニールプロセスでは、パッチ処理が可能で、例えば、シリコン膜中の酸素濃度が $10^{15}\text{cm}^{-3}/\text{Vs}$ 以下であれば、 $550^\circ\text{C}$ 、1時間のアニールによって、通常の表示に使用するようなアクティブマトリクスとして使用するには十分な特性のTFTが得られ、さらに、時間を短縮することも可能である。例えば、60枚の基板を同時に処理すれば、レーザー照射のプロセスと同じだけのタクトが可能であり、ランニングコストを考慮すれば、がぜん低温アニール処理プロセスが有利になる。

【0010】しかしながら、低温アニールプロセスは、先に述べたように周辺回路としてはあまり特性のよいものではない。したがって、それだけで周辺回路までも構成することは不可能である。この場合には、レーザー照射プロセスと低温アニールプロセスを組み合わせたことによって解決できる。すなわち、主として周辺回路のみをレーザー照射し、その他の領域を低温アニールによって結晶化させるのである。

【0011】この場合には、アモルファス状の半導体は、最初の結晶化工程によって、ほぼその特性が決定されてしまうことに注意しなければならない。例えば、最初に低温アニールをおこなって、結晶化させたシリコンに、さらにレーザー照射をおこなっても格段に特性が向上することはない。すなわち、高移動度のTFTを得ようとしたら、最初にレーザー照射をおこなわなければならない。

【0012】本発明の別な構成は、パルスレーザーの照射の条件を変えることによって、得られるTFTの特性を制御するものである。一般に、レーザーのエネルギー密度が大きいほど高移動度のTFTが得られる。しかしながら、これは半導体材料やレーザーの波長に依存する。あまりエネルギー密度が高すぎると、かえってTFTの特性を損なうこととなる。本発明人等の知見では、レーザーとして、KrFエキシマーレーザー（波長 $248\text{nm}$ 、パルス幅 $10\text{ns}$ ）を用いた場合には、ショット数 $1 \sim 50$ 回の範囲では $200 \sim 350\text{mJ}/\text{cm}^2$ のエネルギー密度が適当である。

【0013】この場合にも、もし、レーザー照射が重なることがある場合には、その部分のTFTの特性は、最初に照射されたレーザーの条件によって支配されてしまうことに注意しなければならない。すなわち、最初に低移動度TFTの条件でレーザー照射をおこなった場合には、その後高移動度の条件でレーザー照射をおこなっても、高移動度TFTを作製することはほとんど不可能である。

【0014】本発明では、レーザーのビームは適当な形状を有している。したがって、レーザーのビームによって、マスクを用いずとも選択的なレーザー照射が可能である。しかしながら、微細加工においては、僅かのレーザー光のまれも周囲に大きな影響を与えることがある。したがって、適切なマスクを用いることも必要とされる。いうまでもなく、複雑に入り組んだ回路の中で特性の異なるTFTを作製する場合には、通常のフォトリソグラフィ工程によるパターンニングは不可欠である。また、より精度の要求がゆるやかな場合には金属材料のように、基板に密着しないでも用いられるマスクを使用してもよい。例えば、液晶表示装置のアクティブマトリクスと周辺回路というように、明らかにブロックが距離を隔てて構成されている場合には、特別なマスクを用いなくても良いが、マトリクスと周辺回路は $100\mu\text{m}$ 以上、好ましくは $1\text{mm}$ 以上離れていることが望ましい。

【0015】本発明のプロセスは、絶縁基板上に半導体被膜を形成する工程と、その後にレーザー光に対して透明な絶縁被膜を形成する工程と、この順に選択的にパルスレーザー光を照射して、半導体被膜の結晶性を改善する工程と、その後、低温アニールによってもしくは先のレーザー照射とは異なる条件のレーザー光を基板の全面もしくは一部に照射すること、前記半導体被膜の残りの部分までも結晶化させる工程と、前記絶縁被膜を除去して、半導体被膜の表面にゲイト絶縁膜を形成する工程と、さらに、ゲイト電極を形成する工程を基本とする。その後、このゲイト電極を主たるマスクとして自己整合的に不純物元素をイオン注入やイオンドーピング等の方法で半導体被膜に導入し、さらにパルスレーザー光を照射して、前記不純物元素の導入過程で破壊された半導体被膜の結晶性を改善せしめ、この不純物領域に金属配線を形成してTFTを完成させる。また、不純物導入工程は本発明人等の出願であるレーザードーピング（例えば、特願平4-100479）によって置き換えてもよい。本発明においては、ゲイト電極・配線の材料としてはアルミニウム等の低抵抗の金属材料が好ましい。また、本発明で使用するパルスレーザーとしては、KrF、ArF、XeCl、XeF等のエキシマーレーザーのような紫外光レーザーが望ましい。

【0016】また、本発明においては、レーザー照射によって形成される結晶性のよい領域の深さを、本発明人等の発明である特願平3-50793に記述されるよう

に必要に応じて自由に設定・変更し、結果として活性層を2層構造として、ソース/ドレイン間のリーク電流を低減させるような構造としてもよい。

【0017】

【実施例】

【実施例1】 図1に本実施例を示す。本実施例は、TFT型液晶表示装置の周辺回路にレーザー結晶化シリコンTFTを、アクティブマトリクス領域に低温アニールによる結晶性TFTをそれぞれ使用したものである。この場合には、両TFTの活性層を同一プロセスで作製できる。

【0018】まず、コーニング7059基板101上に、スパッタ法によって下地酸化膜102を厚さ200~200nm堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜を厚さ50~150nm堆積した。このときには、アモルファスシリコン膜中の酸素濃度は $10^{15}\text{cm}^{-3}$ 以下、好ましくは $10^{15}\text{cm}^{-3}$ 以下とすると、低温アニール工程の温度を下げ、また、アニール時間を短縮することが可能である。この目的には減圧CVD法が適している。本実施例では、酸素濃度は $10^{15}\text{cm}^{-3}$ 以下とした。なお、プラズマCVDによってアモルファスシリコン膜を堆積した場合には、その後に脱水素化の工程が必要である。このアモルファスシリコン膜の上に再びスパッタ法によって保護の酸化珪素膜（厚さ10~50nm）105を形成した。その後、アクティブマトリクス領域103をフォトリソスト106等で覆い、周辺回路領域のみを露出させた。

【0019】そして、図1(A)に示すようにKrFエキシマレーザー（波長248nm、パルス幅20ns）を照射して、シリコン膜のうち、領域104の結晶性を改善させた。レーザー装置の構成は、例えば特開平4-193005（平成4年6月26日出願）に示される。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>とした。一方、フォトリソストに覆われていた部分103にはレーザー光が到達しないので、アモルファスシリコンのままであった。その後、フォトリソスト106を除去して、基板を550℃の窒素雰囲気中1時間放置して、アモルファスシリコン膜全体を結晶化させた。この結果、領域103も結晶性シリコンとなった。

【0020】以上の結晶化工程で得られたシリコン膜の構造は全く異なつたものであった。すなわち、レーザー照射された領域104は、その後低温アニールされたにも関わらず、結晶は比較的大きかった。この結果、高移動度が可能となった。一方、領域103は低温アニールによって結晶化されたのであるが、比較的小きな結晶からなっていた。以上の工程を逆にして、先に低温アニールを行い、その後レーザー照射を行うと、領域104

は領域103と同じ小さな結晶から構成されることになる。

【0021】その後、これらのSi膜を島状にパターンングし、例えば、図1(B)のように、周辺回路の島状領域107とアクティブマトリクス領域の島状領域108を形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜を形成し、これをゲイト絶縁膜109とした。その後、厚さ200nm~5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターンニングし、各島状領域にゲイト電極を形成した。

【0022】さらに、基板を電解溶液に浸してゲイト電極に電流を通じ、その周囲に陽極酸化物の層を形成した。なお、この際には、本発明人等の発明である特開平4-30220、同4-38637および同4-54322に示される如く、周辺回路領域のTFTの陽極酸化膜を薄くして移動度を向上せしめ、また、アクティブマトリクス部のTFTの陽極酸化膜を厚くしてゲイトリークを防止するという構成を取ることが望ましいが、本実施例では、いずれも陽極酸化膜の厚さは200~250nmとした。以上の工程によって各TFTのゲイト電極部110~112が作製された。

【0023】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部（すなわちゲイト電極とその周囲の陽極酸化膜）をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン（PH<sub>3</sub>）をドーピングガスとして酸素を注入し、その後、図の島状領域107の左側とアクティブマトリクス領域をフォトリソストで覆って、ジボラン（B<sub>2</sub>H<sub>6</sub>）をドーピングガスとして、島状領域107の右側だけに燐素を注入した。ドーパ量は、燐は2~8×10<sup>15</sup>cm<sup>-2</sup>、燐素は4~10×10<sup>15</sup>cm<sup>-2</sup>とし、燐素のドーパ量が燐を上回るように設定した。

【0024】その後、図1(C)に示すようにKrFエキシマレーザー（波長248nm、パルス幅20ns）を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>とした。

【0025】この結果、N型の領域113、115、およびP型の領域114が形成された。これらの領域のシート抵抗は200~800Ω/□であった。また、同時に活性領域116~118も形成されたが、このうち、活性領域116と117はレーザー照射によって結晶化され、また、活性領域118は低温アニールによって結晶化された。その後、全面に層間絶縁膜119として、スパッタ法によって酸化珪素膜を厚さ300~1000nm形成した。これは、プラズマCVD法による酸化珪素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバレッジの良好な酸化珪素



膜が得られる。

【0026】その後、画素電極120として、スパッタ法によってITO膜を形成し、これをパターンニングした。そして、TFTのソース/ドレイン（不純物領域）にコンタクトホールを形成し、クロム配線121～124を形成した。図1（D）には左側のNTFTとPTFTでインバート回路が形成されていることが示されている。配線121～124は、シート抵抗をさげるためクロムあるいは窒化チタンを下地とするアルミニウムとのもろ配線であってもよい。最後に、水素中で350℃で2時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。

【0027】【実施例2】図2に本実施例を示す。本実施例は、TFT型液晶表示装置の周辺回路とアクティブマトリクス双方にレーザー結晶化シリコンTFTを使用したものである。当然、両TFTの活性層を同一プロセスで作製できる。しかしながら、レーザー結晶化の条件はそれぞれ異なる。

【0028】まず、コーニング7059基板201上に、スパッタ法によって酸化珪素膜202を厚さ20～200nm堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜を厚さ50～150nm堆積した。なお、プラズマCVDによってアモルファスシリコン膜を堆積した場合には、その後に脱水素化の工程が必要である。このアモルファスシリコン膜の上に再びスパッタ法によって保護の酸化珪素膜（厚さ10～50nm）205を形成した。その後、基板を石英製のメタルマスク206で覆った。メタルマスクは、アクティブマトリクス領域203の上には金属被膜207によって覆われており、周辺回路領域のみレーザー光が透過することができる。

【0029】そして、図2（A）に示すようにKrFエキシマレーザー（波長248nm、パルス幅20ns）を照射して、シリコン膜のうち、領域204の結晶性を改善させた。レーザーのエネルギー密度は300mJ/cm<sup>2</sup>、10ショットとした。一方、メタルマスク206に覆われていた部分203にはレーザー光が到達しないので、アモルファスシリコンのままであった。その後、メタルマスク206を外し、図2（B）に示すように、基板全面にKrFエキシマレーザー（波長248nm、パルス幅20ns）を照射して、領域203を含む全てのシリコン膜の結晶性を改善させた。レーザーのエネルギー密度は250mJ/cm<sup>2</sup>、10ショットとした。この結果、領域203も結晶性シリコン208となった。

【0030】以上の結晶化工程で得られたシリコン膜の構造は全く異なったものであった。すなわち、最初にレーザー照射された領域204は、その後別の条件でレ

ーザー照射されたものの、結晶は比較的大きかった。この結果、高移動度が可能となった。一方、領域203は比較的小さい結晶からなっていた。以上の工程を逆にして、先に250mJ/cm<sup>2</sup>のレーザー照射を行い、その後300mJ/cm<sup>2</sup>のレーザー照射を行えば、領域204は領域203と同じ小さい結晶から構成され高移動度は達成できなかった。

【0031】その後、これらのSi膜を島状にパターンニングし、例えば、図2（C）のように、周辺回路の島状領域209とアクティブマトリクス領域の島状領域210を形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜を形成し、これをゲイト絶縁膜211とした。その後、厚さ200nm～5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターンニングし、各島状領域にゲイト電極を形成し、実施例1と同様に陽極酸化を施して、ゲイト電極部212～214を形成した。

【0032】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部（すなわちゲイト電極とその周囲の陽極酸化膜）をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン（PH<sub>3</sub>）をドーピングガスとして燐を注入し、その後、図の島状領域209の左側とアクティブマトリクス領域をフォトリソで覆って、ジボラン（B<sub>2</sub>H<sub>6</sub>）をドーピングガスとして、島状領域209の右側だけに硼素を注入した。ドーパ量は、燐は2～8×10<sup>15</sup>cm<sup>-2</sup>、硼素は4～10×10<sup>15</sup>cm<sup>-2</sup>とし、硼素のドーパ量が燐を上回るように設定した。

【0033】その後、図2（D）に示すようにKrFエキシマレーザー（波長248nm、パルス幅20ns）を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>とした。

【0034】この結果、N型の領域215、217、およびP型の領域216が形成された。これらの領域のシート抵抗は200～800Ω/□であった。また、同時に活性領域218～220も形成された。その後、全面に層間絶縁物221として、スパッタ法によって酸化珪素膜を厚さ300～1000nm形成した。これは、プラズマCVD法による酸化珪素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバレッジの良好な酸化珪素膜が得られる。

【0035】その後、画素電極222として、スパッタ法によってITO膜を形成し、これをパターンニングした。そして、TFTのソース/ドレイン（不純物領域）にコンタクトホールを形成し、クロム配線223～226を形成した。図2（E）には左側のNTFTとPTFTでインバート回路が形成されていることが示されている。配線223～226は、シート抵抗をさげるためク

ロムあるいは窒化チタンを下地とするアルミニウムとの多層配線であってもよい。最後に、水素中で350℃で2時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。

【0036】〔実施例3〕 図3に本実施例を示す。本実施例は、TFT型液晶表示装置の周辺回路とアクティブマトリクス双方にレーザー結晶化シリコンTFTを使用したものである。当然、両TFTの活性層を同一プロセスで作製できる。しかしながら、レーザー結晶化の条件はそれぞれ異なる。

【0037】まず、コーニング7059基板301上に、スパッタ法によって下地酸化膜302を厚さ20～200nm堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜を厚さ50～150nm堆積した。なお、プラズマCVDによってアモルファスシリコン膜を堆積した場合には、その後脱水素化の工程が必要である。このアモルファスシリコン膜の上に再びスパッタ法によって保護の酸化珪素膜（厚さ10～50nm）305を形成した。そして、図3（A）に示すようにKrFエキシマレーザー（波長248nm、パルス幅20ns）を周辺回路領域304のみに照射して、該領域の結晶性を改善させた。レーザーのエネルギー密度は300mJ/cm<sup>2</sup>、10ショットとした。一方、レーザーの照射されなかった部分303はアモルファスシリコンのままであった。その後、図3（B）に示すように、基板全面にKrFエキシマレーザー（波長248nm、パルス幅20ns）を照射して、領域303を含む全てのシリコン膜の結晶性を改善させた。レーザーのエネルギー密度は250mJ/cm<sup>2</sup>、10ショットとした。この結果、領域303も結晶性シリコン306となった。

【0038】以上の結晶化工程で得られたシリコン膜の構造は全く異なったものであった。すなわち、最初にレーザー照射された領域304は、その後別の条件でレーザー照射されたものの、結晶性は比較的大きかった。この結果、高移動度が可能となった。一方、領域303は比較的小さな結晶からなっていた。もし、以上の工程を逆にして、先に250mJ/cm<sup>2</sup>のレーザー照射をおこない、その後、300mJ/cm<sup>2</sup>のレーザー照射をおこなえば、領域304は領域303と同じ小さな結晶から構成され、高移動度は達成できなかった。

【0039】その後、これらのSi膜を島状にパターンニングし、例えば、図3（C）のように、周辺回路の島状領域307とアクティブマトリクス領域の島状領域308を形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜を形成し、これをゲイト絶縁膜309とした。その後、厚さ200nm～5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、

これをパターンニングし、各島状領域にゲイト電極を形成し、実施例1と同様に陽極酸化を施して、ゲイト電極部310～312を形成した。

【0040】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部（すなわちゲイト電極とその周囲の陽極酸化膜）をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン（PH<sub>3</sub>）をドーピングガスとして炭を注入し、その後、図の島状領域307の左側とアクティブマトリクス領域をフォトリソで覆って、ジボラン（B<sub>2</sub>H<sub>6</sub>）をドーピングガスとして、島状領域307の右側だけに硼素を注入した。ドーピング量は、 $2 \sim 8 \times 10^{18} \text{ cm}^{-2}$ 、硼素は $4 \sim 10 \times 10^{18} \text{ cm}^{-2}$ とし、硼素のドーピング量を硼を上回るように設定した。

【0041】その後、図3（D）に示すようにKrFエキシマレーザー（波長248nm、パルス幅20ns）を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>とした。

【0042】この結果、N型の領域313、315、およびP型の領域314が形成された。これらの領域のシート抵抗は200～800Ω/□であった。また、同時に活性領域316～318も形成された。その後、全面に層間絶縁物319として、スパッタ法によって酸化珪素膜を厚さ300～1000nm形成した。これは、プラズマCVD法による酸化珪素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバレッジの良好な酸化珪素膜が得られる。

【0043】その後、画素電極320として、スパッタ法によってITO膜を形成し、これをパターンニングした。そして、TFTのソース/ドレイン（不純物領域）にコンタクトホールを形成し、クロム配線321～324を形成した。図3（E）には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。配線321～324は、シート抵抗をさげらためクロムあるいは窒化チタンを下地とするアルミニウムとの多層配線であってもよい。最後に、大気圧の水素中で300℃で2時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。

【0044】〔実施例4〕 図4に本実施例を示す。本実施例は、TFT型液晶表示装置の周辺回路とアクティブマトリクス双方にレーザー結晶化シリコンTFTを使用したものである。当然、両TFTの活性層を同一プロセスで作製できる。しかしながら、レーザー結晶化の条件はそれぞれ異なる。

【0045】まず、コーニング7059基板401上に、スパッタ法によって下地酸化膜402を厚さ20～200nm堆積した。さらに、その上にモノシランもし

くはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜を厚さ50〜150nm堆積した。なお、プラズマCVDによってアモルファスシリコン膜を堆積した場合には、その後に脱水素化の工程が必要である。このアモルファスシリコン膜の上に再びスパッタ法によって保護の酸化珪素膜（厚さ10〜50nm）405を形成した。その後、基板を石英製のメタルマスク406で覆った。メタルマスクは、アクティブマトリクス領域403の上部は金属被膜407によって覆われており、周辺回路領域のみレーザー光が透過することができる。

【0046】そして、図4（A）に示すようにKrFエキシマーレーザー（波長248nm、パルス幅20ns）を照射して、シリコン膜のうち、領域404の結晶性を改善させた。レーザーのエネルギー密度は300mJ/cm<sup>2</sup>、10ショットとした。一方、メタルマスク406に覆われていた部分403にはレーザー光が到達しないので、アモルファスシリコンのままであった。その後、メタルマスク406を外し、新たに別のメタルマスク408を基板上に載せた。メタルマスク408は周辺回路領域404の部分のみ金属被膜409で覆われている。そして、図4（B）に示すように、基板全面にKrFエキシマーレーザー（波長248nm、パルス幅20ns）を照射して、領域403の結晶性を改善させた。レーザーのエネルギー密度は250mJ/cm<sup>2</sup>、10ショットとした。

【0047】以上の結晶化工程で得られたシリコン膜の構造は全く異なったものであった。すなわち、最初にレーザー照射された領域404は結晶は比較的大きかった。この結果、高移動度が可能となった。一方、領域403は比較的小きな結晶からなっていた。本実施例では上記の工程を逆にしても構わない。

【0048】その後、これらのSi膜を島状にパターンニングし、例えば、図4（C）のように、周辺回路の島状領域410とアクティブマトリクス領域の島状領域411を形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜を形成し、これをゲート絶縁膜412とした。その後、厚さ200nm〜5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターンニングし、各島状領域にゲート電極を形成し、実施例1と同様に陽極酸化を施して、ゲート電極部413〜415を形成した。

【0049】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲート電極部（すなわちゲート電極とその周囲の陽極酸化膜）をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン（PH<sub>3</sub>）をドーピングガスとして膜を注入し、その後、図の島状領域410の左側とアクティブマトリクス領域をフォトリソで覆って、ジボラン（B<sub>2</sub>H<sub>6</sub>）をドーピングガスとして、島状領域410

の右側だけに硼素を注入した。ドーピング量は、溝は2〜8×10<sup>16</sup>cm<sup>-3</sup>、硼素は4〜10×10<sup>16</sup>cm<sup>-3</sup>とし、硼素のドーピング量が溝を上回るように設定した。

【0050】その後、図4（D）に示すようにKrFエキシマーレーザー（波長248nm、パルス幅20ns）を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200〜400mJ/cm<sup>2</sup>、好ましくは250〜300mJ/cm<sup>2</sup>とした。

【0051】この結果、N型の領域416、418、およびP型の領域417が形成された。これらの領域のシート抵抗は200〜800Ω/□であった。また、同時に活性領域419〜421も形成された。その後、全面に層間絶縁物422として、スパッタ法によって酸化珪素膜を厚さ300〜1000nm形成した。これは、プラズマCVD法による酸化珪素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバーレージの良好な酸化珪素膜が得られる。

【0052】その後、図4（E）として、スパッタ法によってITO膜を形成し、これをパターンニングした。そして、TFTのソース/ドレイン（不純物領域）にコンタクトホールを形成し、クロム配線424〜427を形成した。図4（E）には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。配線424〜427は、シート抵抗をさげるためクロムあるいは窒化チタンを下地とするアルミニウムとの多層配線であってもよい。最後に、水素中で350℃で2時間アニールして、シリコン膜のダングリングバンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。

【0053】本実施例では、マスクを2種類使用したが、必要によっては3種類以上のマスクを使用してもよく、また、実施例1や実施例2を併用しても、より一層の効果を期待することができる。

【0054】

【発明の効果】本発明によって、低温で極めて歩留りよくTFTを製作することが出来た。そして、実施例において示したように本発明を利用して1枚の基板上に様々なTFTを形成することができた。これはTFTが必要とする特性をレーザー照射による結晶化によって自由に設定できるからである。このため、例えば、アクティブマトリクス型液晶表示装置の作製においても、マトリクス領域のTFTと周辺回路領域のTFTの特性を最適なものとすることができ、その結果、本発明の半導体装置では、従来の方法では得られることのない優れた電気的特性を有するものを得ることができた。しかも、それは実質的に同一プロセスによって製造することができたのである。従来であれば、例えば周辺回路はICのTAB接続等の方法によって作製せねばならず、そのためにコスト上昇が生じていたが、本発明ではそのような問題は

は解決された。実施例では示さなかったが、本発明を単結晶結晶 IC やその他の IC の上にさらに半導体回路を積み重ねるといいうゆる立体 IC を形成することに用いてもよい。

# 【図面の簡単な説明】

【図 1】 本発明による TFT の作製方法を示す。

【図 2】 本発明による TFT の作製方法を示す。

【図 3】 本発明による TFT の作製方法を示す。

【図 4】 本発明による TFT の作製方法を示す。

# 【符号の説明】

- 101 絶縁基板
- 102 下地酸化膜
- 103 半導体領域 (マトリクス領域)
- 104 半導体領域 (周辺回路領域)
- 105 保護絶縁膜

- 106 マスク (フォレジスト)
- 107 島状半導体領域 (周辺回路用)
- 108 島状半導体領域 (マトリクス用)
- 109 ゲイト絶縁膜
- 110 ゲイト電極 (NTFT用)
- 111 ゲイト電極 (PTFT用)
- 112 ゲイト電極 (アクティブマトリクス TFT用)

113、115 N型不純物領域

114 P型不純物領域

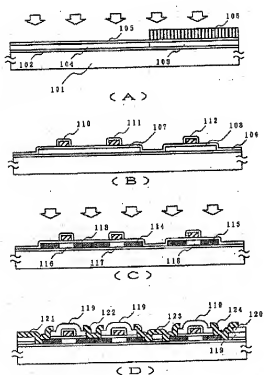
116~118 活性領域

119 層間絶縁物

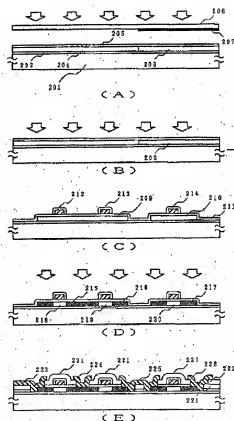
120 画素電極 (ITO)

121~124 金属配線

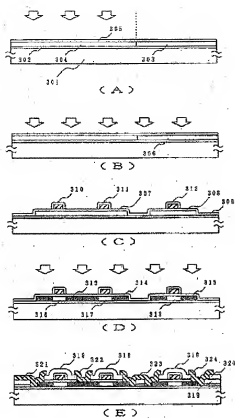
【図 1】



【図 2】



【圖3】



【圖4】

